

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(B2)

平4-48250

⑬ Int.Cl.

G 06 F 3/06
7/22

識別記号

3 0 3 E
X

庁内整理番号

7165-5B
8323-5B

⑭ 公告 平成4年(1992)8月6日

発明の頁 2 (全12頁)

⑮ 発明の名称 仮想記憶システムとその方法

審判 平2-15112

⑯ 特 願 昭55-145545

⑰ 公 開 昭56-94452

⑱ 出 願 昭55(1980)10月17日

⑲ 昭56(1981)7月30日

優先権主張 ⑳ 1979年10月18日㉑ 米国(US)㉒ 85909

㉓ 発 明 者

バリー・ビー・ホワイ アメリカ合衆国コロラド州80301ボルダー・オールド・
ト ポスト・ロード7723

㉔ 出 願 人

ストレージ・テクノ アメリカ合衆国コロラド州 80027, ルーイスビル, サ
ジー・コーポレーション ウス・エイティナイス・ストリート 2270
ン

㉕ 代 理 人

弁理士 湯浅 恭三 外1名

審判の合議体

審判長 田 中 廣 博

審判官 稲 葉 慶 和 審判官 高 橋 英 生

㉖ 参 考 文 献

特開 昭53-84632 (JP, A)

特開 昭52-106641 (JP, A)

1

2

① 特許請求の範囲

1 少なくとも1個の上位コンピュータと共に使用する疑似テープ記憶装置において、

キャッシュメモリと、

少なくとも1個の上位コンピュータと該キャッシュメモリとを接続する少なくとも1個の上位コンピュータインターフェースと、

ランダムアクセス形式でデータを記憶する少なくとも1個のディスク記憶装置と、

該少なくとも1個のディスク記憶装置を該キャッシュメモリに接続する少なくとも1個のディスク記憶装置インターフェースと、

該少なくとも1個の上位コンピュータインターフェースと該少なくとも1個のディスク記憶装置インターフェースと及び該キャッシュメモリとに接続され、該上位コンピュータからの書き込み命令に回答して該上位コンピュータから該上位インターフェースが受け取ったテープ記憶装置に書き込むに適した形式の直列形式のデータをランダムアクセス形式で該ディスク記憶装置の所定の領域に書き込み、該上位コンピュータの読出命令に回答して該ディスク記憶装置に記憶されたデータを読出し且つ該読出したデータを直列形式のデータ

に組み立てて該上位コンピュータに送る様に該上位コンピュータインターフェースとディスク記憶装置と該キャッシュメモリとを制御する制御装置と、

を備え、

該制御装置が、

少なくとも1個の該上位コンピュータから受け取った一定単位のデータを記憶するために少なくとも1個の該ディスク記憶装置内の領域を指定する手段と、

各々の該一定単位のデータの上位コンピュータアドレスと該一定単位のデータを記憶するのに使用する少なくとも1個の該ディスク記憶装置の該領域のアドレスとの間の関係を示すデータを記憶する手段と、

少なくとも1個の該上位コンピュータによつて選択された一定単位データを、該選択された一定単位のデータの該上位コンピュータアドレスと該選択された一定単位のデータの記憶に使用される少なくとも1個の該ディスク記憶装置内の該領域との関係を示すデータを用いて、少なくとも1個の該ディスク記憶装置からランダムアクセス形式で読出し、該読出したデータを直列形式のデータ

に組み立てる手段と、

を備えたことを特徴とする疑似テープ記憶装置。

2 前記制御装置が、オペレータと少なくとも1個の該上位コンピュータから受け取る指令に
5 応答して少なくとも1個のディスク記憶装置においてデータを記憶し、アクセスすることを特徴とする特許請求の範囲第1項に記載の疑似テープ記憶装置。

3 少なくとも1個の前記上位コンピュータと少なくとも1個の前記ディスク記憶装置と間に配置
10 されたデータ圧縮装置およびデータ圧縮解除装置とを備えたことを特徴とする特許請求の範囲第1項に記載の疑似テープ記憶装置。

4 各々の前記上位コンピュータインターフェースがデータバッファを備えることを特徴とする特
15 許請求の範囲第1項に記載の疑似テープ記憶装置。

5 前記ディスクインターフェースがデータバッファを備えることを特徴とする特許請求の範囲第
1項に記載の疑似テープ記憶装置。

6 少なくとも1個の上位コンピュータと共に使用
20 する疑似テープ記憶方法において、

各々の上位コンピュータと関連した上位インターフェース装置を通して、該上位コンピュータと
25 高速メインメモリを含むデータキャッシュメモリとの間でデータをテープ記憶装置に書き込むに適した形式の直列形式で交換することと、

ランダムアクセス形式でデータを少なくとも1
30 個のディスク記憶装置に記憶することと、

少なくとも1個のディスク記憶装置インターフェースで該少なくとも1個のディスク記憶装置を
35 該データキャッシュメモリに接続することと、

少なくとも1個の該上位コンピュータから受け取った一定単位のデータを該ディスク記憶装置に
40 記憶するために少なくとも1個の該ディスク記憶装置内の領域を指定することと、

各々の該一定単位のデータの上位コンピュータアドレスと該一定単位のデータを記憶するのに使用
45 する少なくとも1個の該ディスク記憶装置の該領域のアドレスとの間の関係を示すデータを記憶することと、

少なくとも1個の該上位コンピュータによつて選択された一定単位データを、該選択された一定
50 単位のデータの該上位コンピュータアドレスと該

選択された一定単位のデータの記憶に使用される
少なくとも1個の該ディスク記憶装置内の該領域
との関係を示すデータを用いて、少なくとも1個
の該ディスク記憶装置からランダムアクセス形式
5 で読出し、該読出したデータを直列形式のデータ
に組み立てることと、

を含むことを特徴とする疑似テープ記憶方法。

7 前記ディスク記憶装置と前記データキャッシュ
メモリとの間のデータの流れがシステムコント
ローラで制御されることを特徴とする特許請求の
10 範囲第6項に記載の疑似テープ記憶方法。

8 前記システムコントローラがオペレータと前
記上位コンピュータとから受取る指令に
15 応答して前記ディスク記憶装置においてデータを記憶し、
アクセスすることを特徴とする特許請求の範囲第
7項に記載の疑似テープ記憶方法。

9 前記上位コンピュータインターフェースによ
り上位コンピュータから直列形式で受取られたデ
ータが前記キャッシュメモリに転送される前に非
20 直列形式化され、前記キャッシュメモリから前記
上位コンピュータに書き込まれる前にデータが再度
直列形式化されることを特徴とする特許請求の範
囲第8項に記載の疑似テープ記憶方法。

10 前記上位コンピュータから受取られたデ
ータが前記ディスク記憶装置に記憶される前に圧縮
されることを特徴とする特許請求の範囲第8項ま
たは第9項に記載の疑似テープ記憶方法。

11 前記データが前記ディスク記憶装置に記憶
される記憶領域のアドレスがランダムアクセスメ
モリに記憶されることを特徴とする特許請求の範
25 囲第8項に記載の疑似テープ記憶方法。

12 前記アドレスが付加的に他のメモリ装置に
記憶されることを特徴とする特許請求の範囲第1
1項に記載の疑似テープ記憶方法。

発明の詳細な説明

本発明は、デジタル・データの記憶装置に関
し、特にディスク記憶装置におけるデータの管理
および割当てのための改良されたシステムおよび
方法に関する。

デジタル・データ・システムの構成および操
作における三つ配置の1つは、コンピュータの中
央処理装置 (CPU) から受取った情報を記憶し、
かつ必要な時に適当な情報をCPUに提供する適
当な装置の提供である。

一般に、磁気テープおよびディスク記憶システムは両者とも異なる独自の機能特性を有する。従って、各タイプの記憶媒体は特にある用途によく適合するが、他の用途には適合しない。磁気テープに記憶されたデータはファイルにビット直列形式で配列される。即ち、複数のファイルは連続的にテープ上に記憶されるので、特定のファイルをアクセスするには該磁気テープは要求されたファイルの開始位置がテープ装置の読出/書込みヘッドに位置するまでファイルリールからスプールリールへ送られなければならない。この要求されたファイル内のデータはビットまたはバイトで直列的に構成されるので、該要求されたファイルは読出されるべき又は書込みされるべき該ファイルの部分を探すために磁気テープからビットまたはバイト単位で連続的に読出されなければならない。

したがって、直列的に構成されたデータは好都合に連続的にテープから読出され、且つテープ上に書込まれる。そして、テープはデータを記憶するのに経済的な媒体である。更に、データはファイルの完全な内容がテープ上に記憶されるまでテープに書込まれる。そして、次ぎのファイルは、テープの最大記憶可能容量を使用するために、前に書込まれたファイルの終わりの直後から書込まれる。

しかし、2以上のデータセットから1つのテープへ同時に読出し又は書込みを試みるのは実際的でないので、テープのデータ記憶の直列性は使用者をテープの各リール上に単一のファイルだけを記憶させる。

したがって、だいたい全テープの90%が1個のデータセットしか含んでおらず、これはテープの記憶容量を有効に利用していない。更に、テープはテープ装置に手操作で装着しなければならない、テープに記憶された各データセットのテープ検索時間が増加する。

この直列ファイル構成に比較して、ディスク装置は、ファイル全部又は連続するファイルについての直列的読出しを必要としないで、ディスク装置の読出/書込みヘッドにより全データが直接的にアクセスできる様なランダムアクセス方法によりデータを記憶する。更に、データがディスク上にランダムアクセス形式で記憶されているので、

ディスク装置は複数の上位コンピュータがディスク装置から同時にデータを検索できる利点がある。その上に記憶された他のファイルから情報を検索するために磁気テープを再位置付けするに必要とされる長い時間の為に、テープ装置では同時データアクセスは行えない。

しかし、ディスク装置はテープ装置よりかなり高価であり、使用者が必要とするデータ記憶の部分にのみに特に用いられている。更に、データログの如き読出/書込動作を補助するために使用されるスペースが必要とされるためディスク装置の予想記憶スペースの略々75%だけがデータ記憶の目的のために有効であることが証明されている。ディスク装置は予め決まったブロックサイズでデータを記憶する。したがって、記憶すべきデータファイルが該ブロックサイズと等しくない限り、記憶容量がディスク上で浪費される。この記憶容量の該付加的条件下の利用では実際に使用されるメモリはディスク装置の正常な容量の略々50%に減少される。

1つの命令が同時に連続して実行される1組のプログラム命令の如き幾つかの直列的構成されたファイルが存在する。また、情報がランダムにアクセスされる情報を集めたデータベース（例えば、従業員名簿）の如き、他のファイルも存在する。

直列的に構成されたファイルは最も磁気テープのフォーマットに適合する。これは該ファイルも磁気テープも両方とも直列性が本質であるためである。ランダムに集められた情報を含むファイルはランダムアクセスをベースに情報をアクセスするディスク装置に最も適合する。

しかし、テープ装置のデータ記憶スペース効率を高め且つディスク装置のデータ検索速度を有する記憶システムを提供することは有益である。

発明の目的

従って、本発明の目的は、デジタル・コンピュータ専用の改良されたデータ記憶システムの提供にある。

本発明の別の目的は、水準技術の磁気テープデータ記憶システムよりも更に迅速に直列形式に記憶されたデータを記憶しアクセスするシステムおよび方法の提供にある。

本発明の更に別の目的は、テープ駆動方法によ

り上位システムからの指令に回答するもディスク記憶装置の迅速なアクセス能力を用いる記憶システムの提供にある。

本発明の他の目的は、上位コンピュータからのデータを直列形式で受入れかつ送出し、他方ディスク記憶装置からの情報をランダムアクセス形式で記憶し且つ検索するデータ処理管理システムの提供にある。

発明の概略

要約すれば、本発明の1特質によれば、本発明の前記の各目的は「仮想記憶システム」の提供により達成されるが、その構成は情報を直列形式のテープ書式で受取り送出するための上位コンピュータからの指令に回答する上位インターフェース段と、上位インターフェースから受取りあるいはこれに送られたデータを一時的に記憶するため前記上位インターフェース内の第1のデータ・バッファとからなる。複数のディスク記憶装置も又、ディスク記憶インターフェースおよびディスク記憶装置に対して送られかつこれから受取ったデータを一時的に記憶する関連する第2のデータ・バッファと共に設けられる。インターフェース段は1つに結合されると共に、1つのインターフェースから他のインターフェースに流れる情報を受取つてこれを持続する大形の主記憶装置と共通に結合される。最後に、マスター制御プロセッサが前記インターフェース装置と主記憶装置に結合され、上位インターフェース段がテープ・システムと同様に上位コンピュータと応答するように装置の操作を指令するが、ディスク・インターフェース段はその時使用可能な記憶スペースに従つてランダムにディスク記憶装置についてデータの読出しおよび書込みを行う。

実施例による説明

本文は本発明と見做される主題を特に指摘しかつ明確に規定する特許請求の範囲を頭書に示すが本発明は添付図面と関連して示される望ましい実施態様の以下の説明から更に理解されるものと考えられる。

第1図は、簡略な形態で、上位コンピュータ10に結合された場合の本発明の仮想記憶システムの基本的なアーキテクチャを示す。本発明は、使用可能な記憶を更に良好に使用しながら、テープ装置と全く同様にデータを受入れかつ応答する

よう1つ以上の非常に高速でかつアクセス可能なディスク記憶装置を制御し、これによりテープ又はディスクのいずれよりも非常に広く拡張された記憶能力と通かに迅速な応答時間をもたらし効果を有する装置を構成する。上位コンピュータ10は、本発明の経済的な操作の故にIBM社のシステム380、システム370、およびIBM社のモデル3031、3032および3033のプロセッサ・コンプレックスの如き大形の本体上位コンピュータとの使用を目指すものであるが、どんなタイプでもよい。本発明の仮想記憶システムは又複数の上位コンピュータと共に使用することができる。記憶システムは一連の上位インターフェース段12a乃至12nからなり、インターフェースの段数は送られるべきデータ量に依存する。上位インターフェース段は同一であるため、使用される実際の段数は本発明の目的に対しては重要ではない。上位インターフェース段は、従来周知のチャネル14により上位コンピュータ10に結合され、情報をテープ装置と関連する通常の直列形式の書式でコンピュータ10に送る。

1つ以上のディスク・インターフェース段16a乃至16nが提供され、共通情報バス18により全ての上位インターフェース段に結合される。このように、情報はどの上位インターフェース段とディスク・インターフェース段との間でも転送することができる。

ディスク・インターフェース段は、それぞれディスク記憶装置20a乃至20nの各々と結合されている。更に詳細に論述するように、各ディスク・インターフェース段は、記憶インターフェースと、データ・バッファと、ディスクインターフェースと共に、インターフェース段の各要素を操作するための局部マイクロプロセッサ・コントローラを含む。

主バス18には主記憶装置22にも接続されている。メモリ22は上位インターフェース段からディスク・インターフェース段へ流れる情報に対する貯蔵所を形成し、更にこれも又主バス18に結合された制御プロセッサ24に対するメモリとして作用する。仮想記憶システムの中央処理装置即ちCPUである制御プロセッサ24はそれぞれ上位インターフェース12とディスク・インターフェース段に結合され、情報が通常の方法で受

取られ、待機され、構成され、記憶されるようにその動作を指令する。制御プロセッサ24は更に、種々の上位インターフェース段12にこれがテープ装置をシミュレートするように上位コンピュータ10に回答させるよう命令する。

次に、第2図によれば、システムの例示的な諸素子の構成が更に詳細に説明される。プロセッサ24は上位インターフェース段12と直結され、特に制御プロセッサ24と、上位インターフェース段に対するコントローラを形成するマイクロプロセッサ28との間の信号の伝送を容易にする内部インターフェース26に結合される。又上位インターフェース段を構成しているのはデータ・バッファ30と、データ・バッファを上位コンピュータ10との共用を可能とする上位インターフェース32と、データ・バッファがデータ・バス18と通信する記憶インターフェース34である。

上位インターフェース段12の機能は、上位コンピュータに対するテープ駆動システムをシミュレートすること、即ちテープ装置に対する上位コンピュータ10の指令を本発明の仮想記憶システムに対する指令に変換すること、およびテープ装置により送られる形態で上位コンピュータ10のデータを送ることである。更に、上位インターフェース段12は、テープ装置を操作するため使用されるタイプの上位コンピュータ10から信号を受取る。このような信号は、上位インターフェース段を多重バイト、又は多重ブロック、又は上位コンピュータ10のセレクト・チャネルに結合することにより得られる。これ等の場合は、「テープ装填」「テープ取外し」の如きオペレータ指令、ならびに「読出し」「書込み」および「正方向スペース・ファイル」の如き機械言語を含むことが判る。上位インターフェース段はあたかもオペレータおよびテープ装置であるかの如き両種の信号に回答し、信号を確認し、仮想テープ・リールの「装填」が完了した事と回答する。

各上位インターフェース段のデータ・バッファ30は、上位コンピュータ10からデータを、直列形式で、通常9ビット並列で、テープ上に書込むためテープ・システムに再び与えるように正確な方法で受け入れる。バッファ30は、書込み操作中情報を非直列形式化し、即ちこれを全8バイトが使用可能になる迄個々のビットを保持する並

列フィールドに記憶する。一般に、72ビットが一時に送られ、このため伝送時間を短縮する。このように、回線18上にデータを伝送するのに必要な時間の90%迄の圧縮が可能になる。データがバッファ30とバス18間に交換されるべき時、データはデータの非常に早い交換が生じるように再び8つの並列バイトで記憶インターフェース34を流れる。前記のバッファのサイズは、システムの要件に従って大きく変化するが、望ましい実施態様においてはバス18の時分割を促進する全記録を保持するに十分な大きさである64000バイトである。

最後に、上位コンピュータ10から受取られたデータは、1個以上のディスク装置20a乃至20nに装填された磁気ディスクに書込まれる。ディスク・インターフェース段16はデータバス18をディスク装置20（図示せず）と結合し、制御プロセッサ24からの命令に従ってインターフェース段の各素子を操作する局部マイクロプロセッサ・コントローラ36からなる。上位インターフェース段12の場合と同様に、ディスク・インターフェース段16により制御プロセッサからの命令はインターフェース38を介して局部コントローラ36に送られる。この時後者は、データ・バッファ40と、ディスク・インターフェース42と、記憶インターフェース44をしてデータをディスク装置に関して出入りさせることにより応答する。

特に、記憶インターフェース44はバス18から8チャネルのデータを受取りこれが1つのビット・ストリームにおいてバッファ40に組込まれるようにデータを直列形式化するよう作用する。バッファ記憶装置の構成および待機は、適当な時点でデータをバッファ40からディスク装置へ送るディスク・インターフェース42の作用の如く、局部コントローラ36によつて確保される。更に又、ディスク・インターフェース段は、関連するディスク装置の各ディスクにおけるデータの場所を探索して記録を行うよう作用し、その結果必要な場合に情報を検索することができる。

データが上位インターフェース12にありそれがディスク・インターフェース16において受取られる間、データは主記憶装置22に記憶される。高速の主記憶装置22はこのように、デイス

ク駆動装置20の1つがデータを受取る用意ができる迄データを保持する「バンク」即ち「カッシー」として作用する。この状態が生じると、ディスク装置20と関連するディスクインターフェース段42は制御プロセッサ24にその可用性について信号する。次に、制御プロセッサ24は、データをバス18によつてディスク・インターフェース段42に放出するよう主記憶装置即ちカッシー22に命令する。

同様に、上位コンピュータ10がデータを探索中、探索されるデータの識別は上位インターフェース段12を介して制御プロセッサ24に送られ、このプロセッサはこの時要求されたデータが既に主記憶装置に移動されたかどうかを判断する。もしそうでなければ、制御プロセッサ24は更に「トランスミット」信号をディスク・インターフェースに与え、内部の制御コントローラ36は関連する記憶インターフェース44に介して関連するバッファ40からデータ・バス18へ、更に主記憶装置22へデータを送出させる。

同時に、使用可能な上位インターフェース段12の局部コントローラ28は関連する記憶インターフェース34を使用可能にし、その結果新たに読出されたデータが主記憶装置22から受取られて上位インターフェース・データ・バッファ30にゲートされる。一方、もしそうであれば、データは直ちにバッファ30からゲートされ、上位インターフェース・モジュール32によつて直列形式化され、上位コンピュータ10に送られる。

別の実施態様においては、上位バッファ30とディスク・バッファ40が省略でき、従つてその機能は主記憶装置22により行われる。

このように、多数のディスク装置全体に分散されたデータのセグメントがコンパイルされ、待機させられ、次に自動的に直列形式に再びアセンブルされる。従つて、各ディスク装置20から上位コンピュータ10へフローする情報は、丁度あたかもテープから読出されるかの如く直列形式で現われる。

前述の如く、高速主記憶装置はカッシーを提供し、これからデータが選択され、上位コンピュータに送られる前に後で直列形式に再アセンブルされるため待機させられる。

本発明の教示内容を学んだ当業者には明らかな

ように、本仮想記憶システムの各素子は市販される素子から組立てられ、適宜な方法でいっしょに結合することができる。例えば、ディスク・インターフェース段16の各素子の全てが制御プロセッサ24から離れた1つの場所に配置されるものとして示されるが、実際にはこれ等の素子は別の場所に配置して適当なケーブル、バス等により結合することができる。各インターフェース段の構成素子を操作するため使用される局部マイクロプロセッサ・コントローラ24は精々制限された能力のものであればよく、市場で入手可能などんな高速マイクロプロセッサから構成することができる。このようなマイクロプロセッサの一例は、米国マサチューセツツ州ボストン市のDEC社で市販するLSI-11でも、あるいはAMD社の2900シリーズの部品から組立てることができる適当な装置でもよい。同様に、情報の直列形式化および非直列形式化を行う上位インターフェース12とディスク・インターフェース16は、米国ニューヨーク州アーモンク市のIBM社から入手可能なモデル370ブロック・マルチプレクサの如き標準的な装置でもよい。同様に、IBM製のブロック・マルチプレクサは記憶の直接アクセスのため使用でき、各装置の実際の接続は当業者によつて十分に理解される。

同様に、上位インターフェース段12とディスク・インターフェース段16におけるデータの一時的記憶に使用されるバッファ30と40は、本実施例においては少なくとも64Kバイトのメモリーが望ましいが、適当なタイプのものでよい。このタイプの市販されるバッファの1つはFairchild Semiconductors社製であり、200ナノ秒の速度を有するN-MOSランダムアクセスメモリーである。

データ・カッシーとして作用する高速メモリー22は、高速アクセス・メモリーと呼ばれるタイプ、即ち400ナノ秒以下のサイクル・タイムを有するものでなければならない。望ましい実施態様においては、高速カッシーは16メガバイトの容量を有する。本発明における使用に適する1つの市販メモリーは、米国カルフォルニア州サニーベール市のIntersil社により製造され、本願の受让人である米国コロラド州ルイスビル市のStorage Technology社により市販されるモデル3758

13

と3768である。

第3図は、上位コンピュータ10がメモリーから情報を要求した「読出し」モードにおける本発明のシステムの作用を示す機能図である。制御信号は実線により、又データのフローは点線で示される。従つて、上位コンピュータ10は、ある情報を要求する人間のオペレータに対する指令信号（例えば、「テープNを装填せよ」）を生じ、データがテープに直列形式で記憶されていることが上位コンピュータ10によつて想定されるため、初期の識別即ち「ラベル」が指定されさえすればよい。仮想記憶システムの他の素子、特に制御プロセッサ24は、要求された情報に回答する全てのデータをアクセスしてこのデータを直列形式にアセンブルさせることにより情報に対して応答する。

このように、上位コンピュータ10は、このコンピュータにおいて実行中の個々のプログラムにより提供される情報に従つて、特定のデータ・セットを含むものと想定するテープNを呼出す。実際には、本発明の仮想記憶システムによれば、この特定のデータ・セットは多くの異なるディスクに散在すると共に（又は）1つのディスクの多くの場所に存在する可能性がある。従つて、本発明の仮想記憶システムは、上位コンピュータが「テープN」と指示した記録の各部分が記憶された場所を表示するデータを求めてそれ自体のメモリー内を探索することによつて「テープNを装填せよ」の如きオペレータ指令に回答する。このように、本システムの応答はテープNの装填をオペレータに指令するものではなく、単にそのメモリーから「テープN」として識別されるデータ・セットの場所についての情報を再読出しことである。

上位インターフェース段12が「テープNを装填せよ」と云う命令が完了したことを表示する時、これは実際のテープの装填に比して実際には瞬間的なものであるが、上位コンピュータ10はインターフェース12に対して読出されるべき情報のブロックの特定の一致を表示するインターフェース12への指令を出力する。この指令は、上位インターフェース段12により情報が記憶される各記憶域を識別する制御プロセッサ24に対し直接送られる。これは、制御プロセスに対して結合されるデータ記憶装置48の使用によつて実施することができる。本実施例においては、データ記

14

録装置48は、上位コンピュータ10により要求されるデータを共に構成するデータの各サブ・ブロックの場所が記録されるランダム・アクセス・メモリー（RAM）（RAMにおける記憶の脱着の場合にテープ駆動装置および関連テープによつて「バック・アップ」できる）である。

データの各サブ・ブロックの場所が制御プロセッサ24に対し識別された時、各ディスク・インターフェース段38のコントローラ部分に信号が与えられ、これと同時にデータは各ディスク記憶装置20からアクセスされる。この時データはインターフェース段18のパツファ40に読込まれ、各上位インターフェース段12により必要とされる迄一時的に保持させるため主記憶カツシュ22に伝送するために用意される。

パツファ40がデータで充填される時、信号がディスク・インターフェース段18から制御プロセッサ24に出力されこの事実を表示し、この時制御プロセッサ24が緩衝された情報を高速の主記憶カツシュ22において前以つて割当てられたスペースに対して直接送る。

従来技術によるテープ・システムの場合は、初期の「装填」操作は通常約30秒乃至5分を要する。個々の装置の特性ならびに無論読出される記録の長さによつて、「読出し」指令を実行するのに必要な全時間は1乃至10ミリ秒の範囲内で変化する。望ましい実施態様における仮想記憶システムの例においては、「装填」操作は一般に1秒より短い時間を要す。実際の「読出し」操作は一般に、前述の如く、記録の長さおよびカツシュ22の特性に従つて1乃至10ミリ秒を要する。従つて、この時読出された情報は、記憶インターフェース12からの信号がカツシュ22に対して上位コンピュータがデータを受取る用意のあることを表示する迄記憶されるカツシュ22に非常に迅速に入れられる。この時点で、データはこれが記憶された各ディスク20における各点から生成され、直列形式で適正な順序に収録され、アドレス時間又は各ディスク上の情報の探索のための遅延なしに上位コンピュータ10に読込まれるように用意される。従つて、本発明の記憶システムは、ディスクに比して時間的に非常に有利であり、テープ・システムに比して装填の時間的遅延が全くないことが明らかである。このように、カツシュの

使用による「予期されるバッファ作用」がディスクとテープの長所を併合させ、この点でカッシエはディスクの場合の装填の不用とテープの直列書式とを結び付け、こうしてデータをカッシエ内に完全に構成させることにより上位コンピュータに対する時間を即減するものである。同時に、各構成素子の優れた構成および協働作用の故に、読出/書込動作の指令またはテープ上のデータの維持又は記録を指令するためにデスクを実記憶域のごく少しが使用され、この領域をたまに“オーバーヘッド”と呼ぶ。従って、実際のディスク・メモリーの非常に大きな割合がデータに使用可能である。このように、ディスク・メモリーの記憶効率をテープの場合と同レベルに更新することができる。

第4図に示された上位の「書込みモード」においては、手順の方向とこれ迄に述べた「読出し」モードの略々逆方向となる。第3図における如く、制御信号は実線で、データのフローは点線で示される。従来のテープ駆動コードにより上位コンピュータ10がデータの「書込み」即ち記録を要求することを信号すると、この指令はインターフェース段12を介して制御プロセッサ24に送られる。このプロセッサはインターフェース12に対してこの指令を確認することを命令し、データの一部又は全部を受入れるバッファ40を見出すためディスク・インターフェース段16に質疑する。このような場所が決定されると、これ等の場所は制御プロセッサ24によつてデータ記録装置46に記録される。

この時制御プロセッサ24が上位インターフェース段12に対して上位コンピュータ10からのデータを受入れてこれを上位インターフェース段12のデータ・バッファ30の適当な場所へ送ることを指令する。バッファ30が対応するスペースがディスク・インターフェース段のバッファ40において使用できる前に充填される場合は、命令「スペースを割当てよ」が制御プロセッサによりカッシエ・メモリー22に送られ、その後上位インターフェース段のバッファからのデータがカッシエ・メモリー22へ与えられる。その後1つ以上のディスク・インターフェース段16において十分なバッファ容量が使用可能である時、制御プロセッサはカッシエ・メモリー22に対し、関連す

るディスク装置20のディスクに入れるため適当なディスク・インターフェース段バッファ16に記憶されたデータを与えるよう命令する。

データの各ブロックが上位コンピュータ10により上位インターフェース32に与えられるとき、記憶インターフェース・モジュール34は、関連するバッファ30内のどこに新たに受取られた情報が記憶されるかを判断し、データを直列形式に圧縮して例えば8チャネルのデータを生じ、情報ブロックに識別ビット（単数又は複数）を加えてこのブロックのサイズを表示する。このように、あるデータ・ブロックが充填されるか、上位コンピュータがある記録の終りを表示する信号を生成する迄、データが連続的にバッファ30に送られる。本発明の重要な特質によれば、局部コントローラ28によりこのような信号はそれ以降一切のバッファ記憶スペースの割当てが必要でないメッセージ信号の終りとして解釈される。

この時、制御プロセッサ24はこの時データ・バッファ30に記憶されたデータを高速カッシエ22に送る。前述の如く上位コンピュータがデータ・バッファ30にデータを記憶中は、制御プロセッサ24はディスク装置20に十分なスペースを「検索」することができ、このスペースをデータ・バッファ30にこの時記憶されつつあるデータに割当てることができる。このように、記録の終り信号が制御プロセッサ内で受取られる時、データは直列形式化されて高速カッシエに送ることができ、次に記憶のためディスク装置20に送られる。

換言すれば、上位コンピュータが初期の「テープ装填」指令（即ち、オペレータに対しデータ記憶のための空のテープを提供することを指令する）を生じる時、この指令は上位インターフェース段12を介して制御プロセッサ24に送られる。この制御プロセッサ24は、1つ以上のディスク20においてスペースを探索し、ディスク・インターフェース段のバッファ30の1つ以上に十分なスペースを予約することによつて命令「テープ装填せよ」に応答する。これが完了すると、制御プロセッサ24は上位インターフェース段12に対して上位コンピュータ10からのデータを受取つてこれを非直列形式化し、かつこれを関連するバッファ30に記憶するよう命令する。このバッファ

が一たん充填されて、これ以上のバッファのスペースが使用できなければ、このデータはキャッシュ・メモリー 22 に送られる。十分なディスク・スペースが使用可能である時は、次のステップは制御プロセッサ 24 に対してディスク・インターフェース段 18 のディスク制御インターフェース 42 が関連するディスク装置 20 にデータを蓄込むことを命令させ、その後インターフェース・モジュール 44 はこの情報を読出してこれを直列形式化し、これをその関連バッファ 40 に入れ、こゝでこの情報が関連ディスク 20 に蓄込まれる。また、本発明のデータ記憶システムは、バックアップ用の一般的なテープ装置と同時に動作することが可能である。多くのコンピュータは、確実性のためにデータの複写コピーを保全しており、本発明のシステムは基本データ記憶システムとして使用可能であり、他方一般的なテープ装置は本システムのディスク装置に記憶されたデータの複写またはバックアップを記憶する為に本発明と同時に動作可能である。したがって、該基本データ記憶媒体即ち本発明のディスク装置は高速のデータ検索を与え、他方テープ装置は該ディスク装置に記憶されたデータが何等かの理由により万一損なわれても該データの付加的なコピーを与える。

当業者にとっては、上位インターフェースおよびディスク・インターフェース段ならびに関連する制御モジュールと共に、制御プロセッサに高速キャッシュを関連付けることにより、従来技術のテープおよびディスク駆動システムの長所の組合せが可能になること、即ち、ディスク装置の容易なアクセス能力がテープ装置の記憶効率と組合わされて、本発明の仲介によりテープ装置の短所を持つことなくテープ装置の如く中央処理装置の管理をディスク装置が行う高速高効率の「仮想記憶システム」を得ることは明らかであろう。本発明によりメモリー・ディスクは恒久的に取付けられているため、テープ形の記録（即ち、順次記録）を探索する場合でもオペレータが介入する必要はない。更に、従来技術のディスク装置は改変なしに本発明の仮想記憶システムと共に使用することができ、即ち、本発明のシステムは従来技術の上位コンピュータと従来技術のディスク装置間に挿入された装置即ちインターフェースと見做すことができる。従って、ディスク装置と上位コンピュ

タを本発明の仮想記憶システムと関連して操作できるようにするためこのディスク装置又は上位コンピュータを改変する必要はない。

更に、本発明の仮想記憶システムは複数の上位コンピュータと複数のディスク装置間をインターフェースするため使用することができる。従って、オペレータが 1 つ以上の上位コンピュータとある制限された数のディスク装置を操作する場合は、本発明の仮想記憶システムは最大の記憶効率を達成しかつディスク又はテープ記憶システムの不当な重複を除くため使用することができることが判るであろう。本発明の上位インターフェース装置は 1 つ以上の上位コンピュータと結合することができる。更に、高速のメモリー即ちキャッシュの提供は本発明の「先行バッファ作用」には必需であることが判るであろう。データは多種のディスク装置に記憶され且つ上位コンピュータに転送される前に集められ且つ再フォーマットされねばならないので、データがディスク装置から集められるとき該データを一時的に記憶する為に高速のメモリーが必要である。この集められたデータは遅延の無い上位コンピュータへの転送の為に再フォーマットされる。上位コンピュータのインターフェースと各ディスク装置インターフェース段間の中間バッファとして高速キャッシュを使用することにより、多重データの緩衝作用が達成でき、即ち、本発明によれば多数のディスク装置上の多数の場所に記憶されるデータ（即ち、「ランダム形式のデータ」）はアセンブルされ、順序付けされ、上位コンピュータにより呼出される迄高速キャッシュに一時的に記憶され得る。このように、メモリーから上位コンピュータに情報を送込む際の遅れの必要はない。同様に、上位コンピュータからのデータ出力は配置され、分割され、ディスクの各記憶域が情報の記憶のため使用可能となるような時記憶されることができる。

本発明の記憶システムによりもたらされる特に重要な点は、データの圧縮の可能性である。これ迄、デジタル値「1」又は「0」の長いストリング（Strings）をこのストリングの長さを示す記号と置換することを含み得る一般的なデータ圧縮の概念は、これがアドレス指定情報ならびにデータを圧縮するためディスク駆動装置では成功しなかつた。しかし、本願によればディスク装置が

テープとして考えられるため、従来技術のこの問題は除去され、データの圧縮はディスク形記憶装置と共用可能となる。データの圧縮は上位インターフェース段において構成されること、即ち、書き込み操作の間「1」又は「0」の長いストリングが検出されて比較的短い記号と置換できること、読み出し操作の間はこれ等ストリングが検出されてこのように定義されたデータにより置換されることが望ましい。

最後に、本発明の仮想記憶システムに対して他の多くの変更および改善がなされること、および本文に提示された事例はあくまで例示であること、従って本発明の範囲は特許請求の範囲についてのみ限定されるものと解されるべきことが明らかであろう。

図面の簡単な説明

第1図は本発明に従って構成された仮想記憶シ

ステムの全構成を示す図、第2図は第1図のシステム内の制御および情報信号のフローを示す図、および第3図と第4図はそれぞれ「読み出し」および「書き込み」の状況における指令信号および情報のフローを示す図である。

10……上位コンピュータ、12……上位インターフェース段、14……チャネル、16……ディスク・インターフェース段、18……共通情報バス、20……ディスク・メモリー、22……主記憶装置、24……制御プロセッサ、26……内部インターフェース、28……マイクロプロセッサ、30……データ・パツファ、32……上位インターフェース、34……記憶インターフェース、36……局部コントローラ、38……インターフェース、40……データ・パツファ、42……ディスク・インターフェース、44……記憶インターフェース、46……データ記録装置。

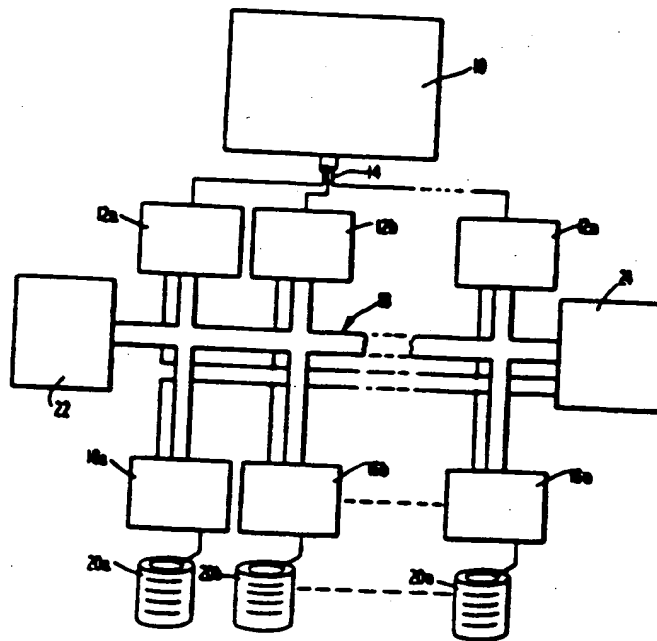


Fig. 1

